



立信会计师事务所（特殊普通合伙）
关于上海安路信息科技股份有限公司
向特定对象发行股票申请文件的审核中心意见落实函的回复

信会师函字[2026]第 ZA329 号

上海证券交易所：

根据贵所出具的《关于上海安路信息科技股份有限公司向特定对象发行股票的审核中心意见落实函》（上证科审（再融资）〔2026〕100号，以下简称“审核中心意见落实函”）的要求，本所以对贵所要求申报会计师核查的问题进行了审慎核查，现答复如下：

注：本所没有接受委托审计或审阅发行人 2026 年 1 月至 4 月期间的财务报表，因此无法对发行人上述期间的财务信息发表意见或结论。以下所述的核查程序及实施核查程序的结果仅为协助发行人回复交易所问询目的，不构成审计或审阅。

报告期指 2023 年度、2024 年度及 2025 年度；2023 年度、2024 年度、2025 年度金额已审计，2026 年 1-4 月金额未经审计或审阅。

问题

请发行人进一步说明：（1）报告期内公司研发费用金额及占比较高的原因及形成的主要研发成果，研发成果转化收入、利润情况，是否与同行业可比公司存在重大差异；（2）结合公司现有项目及可比公司同类项目情况，说明本次募投项目新增研发支出测算是否谨慎合理，以及对公司未来经营业绩的持续影响，并充分提示相关风险；（3）结合公司部分产品换货的原因、后续处理和实际销售情况以及是否存在亏损合同的情形，说明公司存货跌价准备计提的充分性，并进一步提示相关风险。

请保荐机构、申报会计师发表核查意见。

回复：

一、发行人说明

（一）报告期内公司研发费用金额及占比较高的原因及形成的主要研发成果，研发成果转化收入、利润情况，是否与同行业可比公司存在重大差异

1、报告期内公司研发费用金额及占比较高的原因

报告期内，公司的研发费用构成明细如下：

单位：万元

| 项目 | 2025 年度 | | 2024 年度 | | 2023 年度 | |
|-----------|------------------|----------------|------------------|----------------|------------------|----------------|
| | 金额 | 比例 | 金额 | 比例 | 金额 | 比例 |
| 职工薪酬 | 25,266.34 | 73.25% | 26,453.59 | 72.77% | 23,757.39 | 61.84% |
| 研发工程费 | 4,781.49 | 13.86% | 6,833.27 | 18.80% | 7,345.20 | 19.12% |
| 长期资产折旧及摊销 | 3,386.20 | 9.82% | 4,358.89 | 11.99% | 4,655.40 | 12.12% |
| 办公费用 | 727.30 | 2.11% | 670.76 | 1.85% | 634.12 | 1.65% |
| 租赁物业费 | 286.17 | 0.83% | 221.31 | 0.61% | 179.73 | 0.47% |
| 股份支付 | 43.77 | 0.13% | -2,184.14 | -6.01% | 1,844.09 | 4.80% |
| 合计 | 34,491.27 | 100.00% | 36,353.67 | 100.00% | 38,415.93 | 100.00% |

报告期各期，公司研发费用分别为 38,415.93 万元、36,353.67 万元和 34,491.27 万元，研发费用率分别为 54.82%、55.77% 及 66.33%。报告期内公司研发费用金额及占比较高的原因主要系：

(1) 报告期内，公司研发费用金额较高的原因

1) FPGA 行业属于技术密集型行业，具备技术壁垒高、研发周期长、需软硬件协同研发等显著特征，需要持续高额研发投入

FPGA 芯片属于集成电路行业中的逻辑芯片大类，是一类兼具硬件现场可编程灵活性、高并行计算能力与确定性低时延特性的通用型逻辑芯片，具有架构电路独特、验证复杂度高、IP 核通用性要求高等特点，因此 FPGA 芯片设计企业通常需要高额的研发投入和长期经验积累，构建起涵盖丰富产品矩阵及完善生态体系的综合竞争壁垒。

同时，区别于其他集成电路设计企业，FPGA 厂商不仅需要完成芯片硬件架构与电路设计，还必须自主研发配套的专用 EDA 软件工具链，以支撑用户完成空白芯片的电路实现、仿真验证、时序优化、编程配置等全流程开发工作，因此 FPGA 厂商同时具备集成电路设计与 EDA 软件开发的双重属性，需要在集成电路设计与 EDA 软件开发同步进行持续研发投入。报告期内，公司研发费用中的职工薪酬费用，按硬件、软件研发部门分，软件研发相关部门职工薪酬占比分别为 30.79%、29.29%和 29.05%，公司具有同时在软、硬件方向进行研发投入的特点。

综上，FPGA 行业兼具技术壁垒高、研发周期长、需软硬件协同研发等显著特征，需要持续高额研发投入。

2) 公司是国内领先的 FPGA、FPSoC 芯片供应商，但仍需持续进行研发投入，追赶国际先进水平

国际领先 FPGA 厂商凭借数十年的技术积累、成熟的产业链配套能力以及庞大的产销规模和品牌影响力，在全球市场占据主导地位，根据 Gartner 数据，2024 年全球 FPGA 市场按销售额统计，Xilinx（赛灵思）、Altera（阿尔特拉）和 Lattice（莱迪思半导体）三家美国企业市场占有率分别达到 52%、25%和 8%，合计占据全球 85%的市场份额，尤其在 16nm 以下先进制程、500K 逻辑单元以上的超大规模高端 FPGA 市场，长期由国际龙头企业所主导。

公司于 2011 年成立，是国内首批具有先进制程 FPGA 芯片设计能力的企业之一，但目前仍处于成长期，与国际领先 FPGA 厂商仍存在差距，需要通过持续研发投入，把握数据中心 AI 加速、边缘计算、下一代通信技术基带处理、超大规模硬件仿真等新兴场景拓展带来的时代机遇，持续突破先进制程技术，追赶国际先进水平，进一步提升产

品性能、丰富产品功能，实现关键领域国产替代，服务国家战略，满足国内市场对于高性能 FPGA、FPSoC 芯片自主可控的需求。

3) 报告期内，公司紧扣行业先进发展趋势，通过持续研发投入实施重点研发项目，取得多项阶段性进展

报告期内公司研发费用主要投向低功耗 FPGA 芯片、高效率 FPGA 芯片、高性能 FPGA 芯片、车规 FPGA 芯片、高集成 FPSoC 芯片、新工艺设计平台技术研究和高效率芯片升级技术研究七大项目。报告期各期，公司对上述研发项目合计投入的研发费用占整体研发费用的比例均超过 95%。上述项目的先进性或必要性如下：

| 序号 | 项目名称 | 先进性或必要性 |
|----|--------------|---|
| 1 | 低功耗 FPGA 芯片 | 在公司已大规模量产的低逻辑规模 FPGA 芯片产品系列基础上，针对网络通信、数据中心、消费电子等应用领域新需求与发展趋势，开发低功耗 FPGA 产品系列。同时持续优化低功耗工艺平台 FPGA 芯片的设计方法与工程体系，系统性提升产品可靠性与量产良率，为客户提供功耗、性能、成本与质量均衡的综合解决方案，巩固公司在低逻辑规模 FPGA 市场的优势与市场份额 |
| 2 | 高效率 FPGA 芯片 | 瞄准网络通信、工业应用、新能源与汽车电子、医疗设备等应用领域，持续丰富产品逻辑规模与接口配置，扩大国产 FPGA 的市场覆盖与替代范围。重点推进基于全流程国产供应链的 FPGA 产品研发与产业化验证，带动国产供应链技术与工程能力提升，构建自主可控的供应链体系，满足下游客户对产业链安全稳定的长期核心需求 |
| 3 | 高性能 FPGA 芯片 | 针对高性能 FPGA 市场长期由国外企业主导的行业现状，面向高端网络通信设备、数据中心、医疗设备等重点领域的迫切需求，研发基于 FinFET 工艺的高性能 FPGA 芯片及配套专用 EDA 工具。实现公司 FPGA 产品技术的代际升级，逐步打破国外技术壁垒，为下游市场提供自主可控的高端芯片解决方案 |
| 4 | 车规 FPGA 芯片 | 把握新能源汽车与智能驾驶产业快速发展的重大市场机遇，针对车规级芯片在宽温域适应性、强抗干扰能力、长期可靠性与功能安全等方面的严苛要求，攻克核心技术与质量管控难点。建立符合国际标准的车规芯片研发流程与全生命周期质量管理体系，实现车规 FPGA 产品的批量供货能力，进入汽车电子供应链，为后续系列化车规产品的推出与市场拓展奠定坚实基础 |
| 5 | 高集成 FPSoC 芯片 | 顺应芯片系统级高集成化的技术发展趋势，融合 FPGA 的硬件可编程灵活性与 CPU 的软件处理高性能，研发异构集成 FPSoC 芯片及配套完整软件工具链与行业解决方案，满足边缘 AI、工业机器人控制、高端嵌入式系统等场景对单芯片集成化解决方案的差异化需求，显著提升产品附加值与技术壁垒，拓展公司产品覆盖范围和技术水平 |
| 6 | 新工艺设计平台技术研究 | 提前布局公司下一代芯片工艺与架构技术，开展国产工艺平台适配验证与高性能自主 IP 核研发，形成可复用的技术平台与标准化设计方法，为公司未来产品的性能提升、成本优化与快速迭代奠定核心技术基础。逐步降低对国外工艺的依赖，保障公司技术发展的连续性与可持续性 |

| 序号 | 项目名称 | 先进性或必要性 |
|----|-------------|--|
| 7 | 高效率芯片升级技术研究 | 对现有主力产品进行关键技术迭代升级研究，以快速响应下游客户对新功能、新接口与性能优化的持续需求，通过最大化技术复用降低全新产品研发的风险与成本，持续提升产品性价比与市场竞争力，巩固并扩大公司的优势地位 |

上述研发项目紧密围绕行业先进技术路线与公司中长期发展战略，全面覆盖低功耗、高效率、高性能、车规级等不同产品方向，以及下一代芯片工艺与架构技术等的前瞻性技术探索，推动产品迭代升级，助力公司精准响应网络通信、工业应用、新能源与汽车电子、数据中心等各下游领域客户不断提升的性能、功耗与可靠性要求，加快完善自主可控的芯片设计、EDA 软件工具技术体系，推进基于全流程国产供应链的产品研发与产业化验证，有助于公司逐步突破国外厂商在高端 FPGA 市场的垄断地位，为公司持续优化产品结构、扩大市场覆盖范围、服务国家战略提供核心技术支撑。

报告期内，上述研发项目均取得阶段性进展，推出十余款型号产品、完成多篇技术报告，同时获得授权专利 57 项，具体参见本回复之“（一）报告期内公司研发费用金额及占比较高的原因及形成的主要研发成果，研发成果转化收入、利润情况，是否与同行业可比公司存在重大差异”之“2、研发成果转化收入、利润情况”之“（1）公司主要研发项目形成的主要研发成果情况”。

（2）报告期内，公司研发费用占比较高的原因

1) FPGA 行业研发投入与当期营业收入存在时间错配，公司当前仍处于成长期，研发投入的业绩贡献暂未充分释放，导致研发费用占比较高

FPGA 行业作为典型的技术密集型、高研发投入型的行业，其研发投入向营业收入的转化具有长周期特征，无法在投入当期直接体现为营业收入等经营成果。

一方面，FPGA 产品研发周期较长，一款具备市场竞争力的 FPGA 芯片从核心架构定义、电路迭代、前端逻辑设计与全流程验证、后端物理实现多轮次流片封装试制到可靠性测试完成，通常需要 2-3 年的产品研发和工程周期；另一方面，FPGA 产品正式量产后，还需经历下游客户严格的芯片级测试、板级验证和可靠性实验、设备小批量试生产、大规模生产等多个环节，通常需要 1-2 年时间进行客户导入和验证。因此，公司当期发生的研发投入，其对公司营业收入的直接拉动效应通常需要 3-5 年才能逐步显现。

公司现有产品的发展历程符合上述行业特点。EAGLE 系列 EG4、ELF 系列 EF2 产品是公司自主研发的主力 FPGA 产品，适用于网络通信、工业应用、新能源与汽车电子等多个领域，经多年研发和客户导入，目前已进入成熟阶段，2025 年度上述型号产品收入占公司营业收入的比例超 50%。具体而言，EAGLE 系列 EG4 产品于 2014 年研发立项，2016 年推出并开始客户导入，2018 年完成客户导入并形成千万级收入，此后连续 5 年年收入超亿元，该产品推出至今已 10 年，目前依然为公司重要收入来源之一；ELF 系列 EF2 于 2016 年研发立项，2018 年推出并开始客户导入，2019 年完成客户导入并形成千万级收入，此后连续 6 年年收入达亿级水平，该产品推出至今已 8 年，目前依然为公司重要收入来源之一。

结合上述行业特点和公司现有产品的发展历程、收入变化情况可知，FPGA 行业研发投入与当期营业收入之间存在时间错配，公司当前仍处于成长期，需要通过持续研发投入，推动技术持续攻关，产品持续迭代，突破先进制程技术，追赶国际先进水平，实现关键领域国产替代，目前依然存在研发投入较高但研发投入的业绩贡献暂未充分释放的情况，导致研发费用占比较高。

2) 报告期内，受行业整体市场规模下滑和终端客户需求波动影响，公司营收规模出现阶段性下降，导致虽然公司整体研发费用小幅下降，但研发费用率提升

报告期各期，公司研发费用分别为 38,415.93 万元、36,353.67 万元和 34,491.27 万元，虽然研发费用金额小幅下降，但由于公司营业收入受行业整体市场规模下滑和终端客户需求波动影响出现阶段性下降，各期营业收入分别为 70,078.59 万元、65,181.69 万元和 51,999.65 万元，且营业收入下降幅度大于研发费用下降幅度，导致公司各期研发费用率持续提升，分别为 54.82%、55.77% 及 66.33%。因此，报告期内公司研发费用率持续提升主要系公司营收规模出现阶段性下降所致。

报告期内，公司的营收规模下降原因主要系：

首先，报告期内，全球及中国 FPGA 整体市场规模出现下滑调整。根据 Gartner 数据，全球 FPGA 市场规模从 2023 年约 89.66 亿美元下降至 2024 年约 56.78 亿美元；根据智研咨询数据，中国 FPGA 市场规模从 2022 年约 164.4 亿元下降至 2024 年约 129.8 亿元。

其次，报告期内，FPGA 行业终端客户需求出现波动。一方面，2022 年前后，中美贸易摩擦背景下，全球供应链面临波动，半导体行业面临芯片短缺、交货期延长等问题，终端客户出于对供应链稳定性的担忧和规避后续关税调整的考虑，大幅增加 2022 年的 FPGA 芯片采购量，将 2023 年及以后年度的部分采购需求提前至 2022 年实施，导致 2022 年采购需求呈现阶段性爆发，进而造成报告期内终端客户需求减少。另一方面，网络通信领域系民用 FPGA 芯片最主要的下游应用领域之一。2023 年起，我国网络通信领域通信设备的部署进度逐渐放缓，具体而言，我国 5G 建设经过 2019 年至 2022 年的高速发展期后，已建成全球规模最大的 5G 网络，5G 建设进入存量优化、提质增效的新阶段，根据工业和信息化部发布数据显示，2023-2025 年我国新增 5G 基站数量分别为 106.5 万站、87.4 万站和 58.7 万站，新建 5G 基站增速放缓态势显著，网络通信领域的固定资产投资重心逐步转向算力、AI 等新兴领域，导致网络通信领域终端客户对 FPGA 芯片的增量需求减少，而算力、AI 等新兴领域对 FPGA 芯片的需求尚处于起步发展阶段。

由于受到上述因素的影响，全球民用 FPGA 企业相关营收规模均出现阶段性下降。由于 A 股上市公司中，尚不存在与公司主营业务完全一致的公司，复旦微电、紫光国微的部分业务虽涉及 FPGA 行业，但是其主要产品属于特种应用领域 FPGA 芯片，与公司产品的功能特性、下游客户群体存在较大差异。境外上市公司中，Xilinx（赛灵思）、Altera（阿尔特拉）、Lattice（莱迪思半导体）均为全球领先的 FPGA 企业，与公司主营业务、主要产品较为可比，为公司的境外可比公司。报告期内，上述境外可比公司及公司营业收入变化情况具体如下：

单位：亿元、亿美元

| 序号 | 公司名称 | 2025年度 | | 2024年度 | | 2023年度 |
|-----------|-----------------|--------------|----------------|--------------|----------------|--------------|
| | | 营业收入 | 增长率 | 营业收入 | 增长率 | 营业收入 |
| 1 | Xilinx（赛灵思） | 34.54 | -2.90% | 35.57 | -33.15% | 53.21 |
| 2 | Altera（阿尔特拉） | 未披露 | / | 15.44 | -46.37% | 28.79 |
| 3 | Lattice（莱迪思半导体） | 5.23 | 2.72% | 5.09 | -30.90% | 7.37 |
| 境外可比公司平均值 | | 19.89 | -0.09% | 18.70 | -36.81% | 29.79 |
| 发行人 | | 5.20 | -20.22% | 6.52 | -6.99% | 7.01 |

注：1、AMD 的 Embedded segment 业务板块收入主要包含原 Xilinx（赛灵思）相关业务收入；

2、2023 年度、2024 年度 Altera（阿尔特拉）营业收入数据来源于其母公司 Intel（NasdaqGS:INTC）年报及公告，2025 年 9 月，Intel 将 Altera（阿尔特拉）的 51% 股权出售，交易完成后 Intel 不再于年报中披露 Altera（阿尔特拉）营业收入数据；

3、美股可比公司年报截止日期不同于自然年度，2023 年度、2024 年度、2025 年度，AMD 财年截

止日为各年度 12 月 31 日；英特尔（Intel）财年截止日分别为 2023 年 12 月 30 日、2024 年 12 月 28 日、2025 年 12 月 27 日；Lattice（莱迪思半导体）财年截止日分别为 2023 年 12 月 30 日、2024 年 12 月 28 日、2026 年 1 月 3 日。

资料来源：各公司年度报告。

如上表，报告期内，受所处行业市场规模下滑和终端客户需求波动，公司与境外可比公司营收规模均出现不同程度下滑，虽然公司研发费用分别为 38,415.93 万元、36,353.67 万元和 34,491.27 万元，整体呈小幅下降趋势，但由于营收规模的阶段性下降幅度更大，从而推高了公司的研发费用率。

2、研发成果转化收入、利润情况

（1）公司主要研发项目形成的主要研发成果情况

报告期内，公司主要研发项目为低功耗 FPGA 芯片项目、高效率 FPGA 芯片项目、高性能 FPGA 芯片项目、车规 FPGA 芯片项目、高集成 FPSoC 芯片项目、新工艺设计平台技术研究项目及高效率芯片升级技术研究项目。报告期各期，公司对上述研发项目合计投入的研发费用占整体研发费用的比例均超过 95%。公司上述主要研发项目形成的研发成果、已推出产品情况如下：

| 序号 | 项目名称 | 预计形成的研发成果 | 已形成的研发成果 | 已推出产品 |
|----|--------------|--|---|--|
| 1 | 低功耗 FPGA 芯片 | 研发小规模、低功耗 FPGA 芯片产品，包括新产品设计、封装型号拓展、测试良率与可靠性提升等工作 | 推出了 ELF、SWORDFISH 等系列的多款产品型号，申请国内发明专利 10 项，其中授权专利 1 项 | ELF 系列 EF3LA0、SWORDFISH 系列 SF2 等型号产品 |
| 2 | 高效率 FPGA 芯片 | 研发具备中等逻辑规模、支持丰富标准接口的 FPGA 芯片产品，包括新产品设计、封装型号拓展、国产供应链导入验证、测试良率与可靠性提升等工作 | 推出了 PHOENIX 系列的多款产品型号，申请国内发明专利 80 项，其中授权专利 33 项 | PHOENIX 系列 PH1A90、PH1A180、PH1P35、PH1P100 等型号产品 |
| 3 | 高性能 FPGA 芯片 | 研发大规模高性能 FPGA 芯片产品，包括新产品设计、专用 EDA 软件升级、测试良率与可靠性提升、解决方案研发等工作 | 推出了 PHOENIX 系列的第二代，申请国内发明专利 79 项，其中授权专利 16 项 | PHOENIX 系列 PH2A106 等型号产品 |
| 4 | 车规 FPGA 芯片 | 研发满足车规标准的多款 FPGA 芯片产品，包括车规标准流程与质量要求制定、车规产品研发、加严测试与良率提升等工作 | 推出了 4 款通过 AEC-Q100 测试的车规产品，申请国内发明专利 11 项，其中授权专利 2 项 | ELF 系列 EF4L90A 等型号产品 |
| 5 | 高集成 FPSoC 芯片 | 研发集成高性能 CPU 与高灵活性 FPGA 的 FPSoC 芯片及完整软件工具链，包括新产品设计、软件工具链与解决方案开发、测试良率与可靠性提升等工作 | 推出了 Dragon 系列的多款产品型号，申请国内发明专利 35 项，其中授权专利 4 项 | Dragon 系列 DR1M90、DR1V90 等型号产品 |

| 序号 | 项目名称 | 预计形成的研发成果 | 已形成的研发成果 | 已推出产品 |
|----|-------------|---|--------------------------------|-----------------|
| 6 | 新工艺设计平台技术研究 | 开展拓展工艺平台研究、新架构设计，并基于拓展工艺平台开展高性能 IP 适配设计验证、软件算法优化等工作 | 形成技术报告，申请国内发明专利 7 项，其中授权专利 1 项 | 前沿技术研究项目，未推出新产品 |
| 7 | 高效率芯片升级技术研究 | 研发新一代高效率 FPGA 与 FPSoC 芯片升级技术，开展技术规格定义、新功能模块设计与验证、软件适配性设计等工作 | 形成技术报告，申请国内发明专利 7 项，其中授权专利 1 项 | 前沿技术研究项目，未推出新产品 |

(2) 研发成果转化收入、利润情况

报告期内，公司主要研发项目报告期各期的研发费用，以及形成研发成果对应转化的收入、毛利情况如下：

单位：万元

| 项目 | 2025 年度 | | | 2024 年度 | | | 2023 年度 | | |
|-----------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|
| | 研发费用 | 收入 | 毛利额 | 研发费用 | 收入 | 毛利额 | 研发费用 | 收入 | 毛利额 |
| 研发成果转化收入或毛利 | 34,491.27 | 4,324.45 | 1,351.85 | 36,355.90 | 5,391.71 | 3,047.35 | 37,609.02 | 402.93 | 171.72 |
| 研发费用或营业收入或毛利总额 | 34,491.27 | 51,999.65 | 22,359.99 | 36,353.67 | 65,181.69 | 22,411.57 | 38,415.93 | 70,078.59 | 26,879.07 |
| 比例 | 100.00% | 8.32% | 6.05% | 100.01% | 8.27% | 13.60% | 97.90% | 0.57% | 0.64% |

注：2024 年度，上表列示的主要研发项目对应研发费用合计占当期研发费用总额的比例超过 100%，主要系当期其他非主要研发项目存在冲减上年暂估的福利费所致。

报告期内，公司主要研发项目形成的研发成果对应转化收入金额及占比较低，主要系：

1) FPGA 产品研发周期较长，通常需 2-3 年，研发阶段无法直接转化收入

不同于其他集成电路产品，FPGA 研发同时进行芯片硬件架构设计和配套专用 EDA 软件工具开发，且需保证两者的兼容性，因此研发周期较长；同时，由于 FPGA 产品的硬件可编程灵活性、应用场景广泛性等特点，其测试验证复杂度较高，且车规级产品等还需通过额外的功能安全认证与长期可靠性测试，进一步延长了产品的研发周期，一般而言，FPGA 产品的研发周期需 2-3 年。

公司产品的发展历程符合上述行业特点，具体而言，公司现有成熟产品研发周期均为 2-3 年，如 EAGLE 系列 EG4 产品于 2014 年研发立项，2016 年推出并开始客户导入；ELF 系列 EF2 于 2016 年研发立项，2018 年推出并开始客户导入；PHOENIX 系列 PH1A100 于 2018 年研发立项，2020 年推出并开始客户导入。

2) FPGA 产品客户导入周期较长，通常需 1-2 年，导入期间转化收入规模较小且逐步起量，但导入成功后可规模化放量且产品的生命周期可以长达 10 年以上

作为通用型核心基础芯片，下游客户将 FPGA 芯片用于多个产品线的各类电子设备中，因此对 FPGA 产品的完备性、可靠性、稳定性要求极高。各领域客户在采用新产品前，需完成客户端的芯片级测试、板级验证和可靠性实验、设备小批量试生产等多个环节，新产品才可进入客户供应链器件选型库，整个验证导入流程时间周期较长，通常需要 1-2 年，期间主要客户主要以验证性小批量订单形式采购，因此产生收入金额较小。但产品一旦成功进入客户供应链体系，客户基于供应链连续性、技术方案研发成本和产品质量稳定性考量，加上 FPGA 特有的现场可编程灵活性决定了该类芯片具有应用通用性和长期适用性，客户不会轻易更换供应商和产品型号，因此，成功导入的产品能够在较长周期内为公司持续贡献稳定的销售收入。

以境外可比公司、全球 FPGA 芯片龙头 Altera（阿尔特拉）为例，2026 年 4

月9日，阿尔特拉宣布将其 Agilex®、MAX® 10 和 Cyclone® V FPGA 系列产品的生命周期支持进一步延长至 2045 年，以满足客户的长期需求、保障供应稳定性，具体如下：

| 产品系列 | 推出时间 | 系列特点 | 主要应用场景 | 生命周期支持 |
|------------------|--------|--|-------------------------|------------|
| Altera Cyclone V | 2011 年 | 具有较低的功耗和高效的逻辑集成能力，集成收发器，以及支持基于 ARM 的硬核处理器系统（HPS）版本的 SoC FPGA，推荐用于边缘化应用和设计 | 工业应用、消费电子、医疗、测试测量、汽车电子等 | 支持至 2045 年 |
| Altera MAX 10 | 2014 年 | 通过在单一可编程逻辑器件中实现先进处理能力，并采用独特的非易失性架构，适用于低功耗和成本敏感的应用 | 工业应用、消费电子、医疗、汽车电子、测试测量等 | 支持至 2045 年 |
| Intel Agilex 7 | 2019 年 | Agilex 家族覆盖从低功耗、高性价比到高性能的全产品矩阵。其代表性 Agilex7 系列 FPGA 及 SoC FPGA 芯片于 2019 年推出，具有领先的 IO 速度、带宽、计算能力和存储密度 | 数据中心、网络通信、国防、工业应用等 | 支持至 2045 年 |

资料来源：Altera（阿尔特拉）官网。

Altera（阿尔特拉）的 Agilex 7、MAX 10 及 Cyclone V 系列 FPGA 芯片分别于 2019 年、2014 年及 2011 年推出。截至 2026 年，该等系列芯片上市以来已历经多年，但仍然广泛应用于工业、通信、航空航天、数据中心、医疗及交通等应用领域，具有较强的市场需求。根据 Altera（阿尔特拉）官网信息，其认为由于 FPGA 芯片的众多终端应用场景的设计寿命达到 10 至 20 年甚至更久，倘若对应产品停止供应，下游客户方案需面临重新设计和认证的高昂成本，进而导致业务运营中断等重大风险。为了提升产品灵活性和支持性，Altera（阿尔特拉）承诺将该等芯片的供应及支持时间进一步延长至 2045 年，以降低下游客户的风险，保障产品供应和部署的连续性。因此，FPGA 产品的长生命周期与其产品特性和下游场景需求紧密关联，FPGA 产品在研发成功并导入广泛的应用场景后，通常具有较强的客户粘性和持续性的产品需求。

公司产品的发展历程亦符合上述行业特点，具体而言，公司现有成熟产品

EAGLE 系列 EG4 产品 2016 年推出并开始客户导入，2018 年完成客户导入并形成千万级规模收入，此后连续 5 年年收入超亿元，该产品推出至今已 10 年，目前依然为公司重要收入来源，且该产品的剩余生命周期预计可达 5 年以上，随着后续进行产品升级，预计总生命周期可达 20 年；ELF 系列 EF2 于 2018 年推出并开始客户导入，2019 年完成客户导入并形成千万级收入，此后连续 6 年年收入达亿级水平，该产品推出至今已 8 年，目前依然为公司重要收入来源。

3) 公司处于成长期，部分研发项目为前瞻性较强的技术储备项目，不直接产生收入

为构建长期核心竞争力，公司在推进现有产品迭代的同时，持续投入资源开展拓展工艺平台研究、新架构设计及新一代高效率 FPGA 与 FPSoC 芯片升级技术研究，此类研发成果虽不直接产生当期销售收入，但为公司后续产品快速迭代、缩短研发周期奠定了坚实基础。

上述研发项目的先进性或必要性参见本回复之“（一）报告期内公司研发费用金额及占比较高的原因及形成的主要研发成果，研发成果转化收入、利润情况，是否与同行业可比公司存在重大差异”之“1、报告期内公司研发费用金额及占比较高的原因”之“（1）报告期内，公司研发费用金额较高的原因”之“3）报告期内，公司紧扣行业先进发展趋势，通过持续研发投入实施重点研发项目，取得多项阶段性进展”。

上述研发项目产生的研发成果参见“（一）报告期内公司研发费用金额及占比较高的原因及形成的主要研发成果，研发成果转化收入、利润情况，是否与同行业可比公司存在重大差异”之“2、研发成果转化收入、利润情况”之“（1）公司主要研发项目形成的主要研发成果情况”。

4) 2026 年前述研发成果正在加速转化为实际订单，研发成果对公司收入的拉动作用逐渐显现

2026 年，前述研发成果正在加速转化为实际订单。2026 年 1-4 月，公司主要研发项目形成的研发成果对应新签订单金额约 1.18 亿元，主要研发项目形成的研发成果对公司收入的拉动作用逐渐显现。

3、报告期内，公司研发费用率水平、变化趋势与可比公司相比存在一定差异，具有合理性

(1) 报告期内，公司研发费用率水平、变化趋势与境外可比公司对比情况

报告期内，公司与境外可比公司营业收入、研发费用及研发费用率情况具体如下：

单位：亿美元、亿元

| 境外可比公司名称 | 2025 年度 | 2024 年度 | 2023 年度 |
|------------------|---------------|---------------|---------------|
| 营业收入 | | | |
| Xilinx（赛灵思） | 34.54 | 35.57 | 53.21 |
| Altera（阿尔特拉） | 未披露 | 15.44 | 28.79 |
| Lattice（莱迪思半导体） | 5.23 | 5.09 | 7.37 |
| 境外可比公司平均值 | 19.89 | 18.70 | 29.79 |
| 发行人 | 5.20 | 6.52 | 7.01 |
| 研发费用 | | | |
| Xilinx（赛灵思） | 未披露 | 未披露 | 未披露 |
| Altera（阿尔特拉） | 未披露 | 未披露 | 未披露 |
| Lattice（莱迪思半导体） | 1.80 | 1.51 | 1.52 |
| 境外可比公司平均值 | 1.80 | 1.51 | 1.52 |
| 发行人 | 3.45 | 3.64 | 3.84 |
| 研发费用率 | | | |
| Xilinx（赛灵思） | / | / | / |
| Altera（阿尔特拉） | / | / | / |
| Lattice（莱迪思半导体） | 34.38% | 29.60% | 20.62% |
| 境外可比公司平均值 | 34.38% | 29.60% | 20.62% |
| 发行人 | 66.24% | 55.77% | 54.82% |

注：1、Xilinx（赛灵思）营业收入数据来源于其母公司 AMD（NasdaqGS:AMD）年报的 Embedded segment 业务板块收入主要包含原相关业务收入，但 AMD（NasdaqGS:AMD）未披露 Xilinx（赛灵思）研发费用数据；

2、2023 年度、2024 年度 Altera（阿尔特拉）营业收入数据来源于其母公司 Intel（NasdaqGS:INTC）年报及公告，2025 年 9 月，Intel（NasdaqGS:INTC）将 Altera（阿尔特拉）的 51% 股权出售，交易完成后 Intel（NasdaqGS:INTC）不再于年报中披露 Altera（阿尔特拉）营业收入数据，且（NasdaqGS:INTC）未披露 Xilinx（赛灵思）研发费用数据；

3、美股可比公司年报截止日期不同于自然年度，2023 年度、2024 年度、2025 年度，AMD 财年截止日为各年度 12 月 31 日；英特尔（Intel）财年截止日分别为 2023 年 12 月 30 日、

2024年12月28日、2025年12月27日；Lattice（莱迪思半导体）财年截止日分别为2023年12月30日、2024年12月28日、2026年1月3日；

资料来源：各公司年度报告。

1) 报告期内，公司研发费用率水平高于境外可比公司，主要系市场地位、发展阶段不同所致，具有合理性

报告期各期，公司研发费用分别为38,415.93万元、36,353.67万元和34,491.27万元，研发费用率分别为54.82%、55.77%及66.33%。境外可比公司Lattice（莱迪思半导体）研发费用率分别为20.62%、29.60%及34.38%，公司研发费用率水平高于境外可比公司，主要系市场地位、发展阶段差异所致，具体如下：

Xilinx（赛灵思）是全球FPGA行业的开创者和长期领导者，曾独立上市，后被AMD收购；Altera（阿尔特拉）曾是全球第二大FPGA厂商，被英特尔收购后又拆分独立运营；Lattice（莱迪思半导体）是全球第三大FPGA厂商，聚焦于低功耗可编程逻辑器件领域。上述境外可比公司均已深耕行业数十年，凭借成熟的产业链配套能力以及庞大的产销规模和品牌影响力，在全球市场占据主导地位，根据Gartner数据，2024年全球FPGA市场按销售额统计，上述三家境外可比公司合计占据全球85%的市场份额，收入规模较大且相对稳定；同时由于其核心产品已进入成熟稳定期，上述三家境外可比公司的研发投入主要用于现有产品的迭代升级和前沿技术的长期预研，研发费用投入水平相对较低，因此，研发费用率相对公司处于较低水平。

公司是国内首批具有先进制程FPGA芯片设计能力的企业之一，但目前仍处于成长期，一方面，与国际领先FPGA厂商仍存在差距，需要通过持续研发投入，持续突破先进制程技术，追赶国际先进水平，实现关键领域国产替代，服务国家战略；另一方面，公司众多研发成果尚未完全转化为规模化收入，公司整体营收规模相对境外可比公司较小，因此，公司研发费用率水平相对境外可比公司较高，具有合理性。

2) 报告期内，公司研发费用率呈上升趋势，主要系营收规模下降所致，整体趋势与境外可比公司基本一致

报告期各期，公司研发费用分别为 38,415.93 万元、36,353.67 万元和 34,491.27 万元，虽然研发费用金额小幅下降，但由于公司营业收入受行业整体市场规模下滑和终端客户需求波动影响出现阶段性下降，各期收入分别为 70,078.59 万元、65,181.69 万元和 51,999.65 万元，导致公司各期研发费用率持续提升，分别为 54.82%、55.77% 及 66.33%。因此，报告期内公司研发费用率持续提升主要系公司营收规模出现阶段性下降所致。

报告期内，境外可比公司 Lattice（莱迪思半导体）研发费用率变化趋势与公司基本一致。报告期各期，Lattice（莱迪思半导体）的营业收入分别为 7.37 亿美元、5.09 亿美元和 5.23 亿美元，研发费用分别为 1.52 亿美元、1.51 亿美元和 1.80 亿美元，研发费用率分别为 20.62%、29.60% 及 34.38%，研发费用率持续提升，2024 年-2025 年相比 2023 年研发费用率呈上升趋势，主要系营收规模下降所致。根据其年报披露，其营收规模下降主要系工业及汽车应用领域、电信基础设施部署领域需求疲软，以及客户持续进行库存去化所致，与公司营收规模、研发费用率变化趋势及原因基本一致。

(2) 报告期内，公司研发费用率水平、变化趋势与 A 股可比公司对比情况

报告期内，公司与 A 股可比公司营业收入、研发费用及研发费用率情况具体如下：

单位：万元

| A 股公司名称 | 2025 年度 | 2024 年度 | 2023 年度 |
|-------------------|-------------------|-------------------|-------------------|
| 营业收入 | | | |
| 兆易创新 | 920,346.31 | 735,597.77 | 576,082.34 |
| 寒武纪 | 649,719.62 | 117,446.44 | 70,938.66 |
| 澜起科技 | 545,631.68 | 363,891.11 | 228,573.85 |
| 景嘉微 | 72,006.46 | 46,634.24 | 71,324.82 |
| 紫光国微 | 614,582.31 | 551,107.39 | 756,536.91 |
| 复旦微电 | 398,226.11 | 359,022.38 | 353,625.94 |
| A 股可比公司平均值 | 628,480.93 | 362,283.22 | 342,847.09 |

| A 股公司名称 | 2025 年度 | 2024 年度 | 2023 年度 |
|-------------------|-------------------|------------------|------------------|
| 发行人 | 51,999.65 | 65,181.69 | 70,078.59 |
| 研发费用 | | | |
| 兆易创新 | 111,699.20 | 112,238.89 | 98,995.31 |
| 寒武纪 | 135,080.46 | 121,587.36 | 111,750.82 |
| 澜起科技 | 91,503.02 | 76,347.00 | 68,181.24 |
| 景嘉微 | 42,763.38 | 28,064.86 | 33,123.34 |
| 紫光国微 | 140,260.13 | 122,445.72 | 142,145.54 |
| 复旦微电 | 122,274.21 | 103,065.15 | 101,059.76 |
| A 股可比公司平均值 | 115,139.22 | 93,958.16 | 92,542.67 |
| 发行人 | 34,491.27 | 36,353.67 | 38,415.93 |
| 研发费用率 | | | |
| 兆易创新 | 12.14% | 15.26% | 17.18% |
| 寒武纪 | 20.79% | 103.53% | 157.53% |
| 澜起科技 | 16.77% | 20.98% | 29.83% |
| 景嘉微 | 59.39% | 60.18% | 46.44% |
| 紫光国微 | 22.82% | 22.22% | 18.79% |
| 复旦微电 | 30.70% | 28.71% | 28.58% |
| A 股可比公司平均值 | 20.10% | 41.81% | 49.73% |
| 发行人 | 66.24% | 55.77% | 54.82% |

资料来源：各公司年度报告。

选取上述 A 股上市公司作为公司可比公司的原因主要系其均为采用 Fabless 经营模式的芯片设计企业，与公司在业务模式上具有一定的可比性，但上述 A 股可比公司与公司在主营业务、客户结构、产品应用领域等方面不完全一致。

1) 报告期内，公司研发费用率水平高于 A 股可比公司，主要系所处行业、发展阶段不同所致，具有合理性

首先，公司与兆易创新、寒武纪、澜起科技和景嘉微的主营业务不同。公司主营业务为 FPGA、FPSoC 芯片和专用 EDA 软件等产品的研发、设计和销售，前述同行业可比公司虽同为采用 Fabless 经营模式的芯片设计企业，但其主营业务均不涉及 FPGA 芯片相关业务，主要产品类型与公司存在较大差异，由于 FPGA

芯片具有硬件现场可编程、持续积累专用 IP 核等特点，FPGA 厂商不仅需要完成芯片硬件架构与电路设计，还必须自主研发配套的专用 EDA 软件工具链，FPGA 厂商同时具备集成电路设计与 EDA 软件开发的双重属性，需要在集成电路设计与 EDA 软件开发同步进行持续研发投入，因此公司的研发投入特点与前述同行业可比公司存在差异，导致研发费用率水平存在差异，具有合理性。

其次，公司与复旦微电、紫光国微的 FPGA 产品应用领域不同。公司 FPGA 产品主要应用于网络通信、工业应用、新能源与汽车电子、数据中心等民用领域，复旦微电和紫光国微 FPGA 产品主要应用于高可靠、特种等特定领域，与公司产品的下游应用领域存在较大差异，相应的芯片设计和专用 EDA 软件技术路线、技术侧重点、产品市场和商业属性均存在显著差异，具体体现为面向高可靠或特种应用市场的 FPGA 通常对软硬件兼容性要求高、注重提升可靠特性以适用于恶劣环境，下游单个应用需求数量少，总体需求量与经济和市场周期弱相关，同时对生产良率、成本和价格不敏感；面向民用市场的 FPGA 要求通用属性更强，要求在逻辑规模、接口配置、功能特性、软件支持、数据传输技术等方面具备综合优势，国产芯片性能要求匹配国外竞品同时要求持续进行功能、特性创新和升级，下游单个应用需求数量大，总体需求量与经济和市场周期强相关，对生产良率要求较高以实现大规模量产并降低成本，因此总体技术路线以 FPGA 硬件自主设计创新、EDA 软件算法突破、应用解决方案和 IP 自主开发为主，当前海外龙头厂商占据较高市场份额，市场竞争较为充分，具体对比如下：

| 项目 | 高可靠或特种应用领域 FPGA | 民品领域 FPGA |
|--------|---|--|
| 产品客户群体 | 主要面向特种应用领域特殊客户群体 | 面向涵盖网络通信、数据中心、工业应用、消费电子、汽车电子等广泛的民用场景 |
| 产品硬件技术 | 对适用特殊使用环境具有较高要求，需在极端环境下具有强可靠性，产品通常需要在特殊的电压、温度等环境下稳定使用。芯片架构和电路设计兼容性要求高 | 民用产品应用场景具有通用属性，需在逻辑规模、接口技术、功能特性等方面具备综合优势，国产芯片性能要求匹配国外竞品的同时要求持续进行功能、特性创新和升级 |
| 软件工具要求 | 不要求自主开发软件和应用 IP，软件主要实现数据格式兼容适配，用户在替换芯片时不需要修改 RTL 代码进行设计移植 | EDA 算法、软件全流程、应用 IP 都需要自主开发突破，对软件生成的电路性能和功耗要求高，用户在替换芯片时需要通过 RTL 代码修改进行设计移植 |
| 产品生产特点 | 产品加严筛片以保证可靠性，不要求较高生产良率 | 生产良率要求高以保证大批量稳定生产并降低产品成本 |

| 项目 | 高可靠或特种应用领域 FPGA | 民品领域 FPGA |
|--------|-------------------------------------|--------------------------------------|
| 产品定价因素 | 因产品特殊性 & 特殊使用环境有较高要求，产品销售价格、毛利率通常较高 | 因产品面向广泛的民用领域各个应用场景，下游市场对价格较为敏感，毛利率适中 |
| 产品需求情况 | 典型应用需求数量少，可能低至数百颗，总体需求量与经济和市场周期弱相关 | 典型应用需求数量大，通常达数万颗以上，总体需求量与经济和市场周期强相关 |
| 市场竞争格局 | 自主可控需求强，以国产厂商为主 | 当前海外龙头厂商占据较高市场份额，竞争充分 |
| 业务资质要求 | 需具备高可靠性产品供应的特殊资质要求 | 通常不存在特殊资质要求 |

最后，公司与复旦微电、紫光国微的 FPGA、FPSoC 产品发展阶段不同。复旦微电和紫光国微分别于 1998 年、2001 年成立，其特种 FPGA、FPSoC 产品产业化成效显著，在国内取得了较高的市场占有率，客户群体相对固定，客户导入成本较低。同时复旦微电和紫光国微在 FPGA、FPSoC 产品以外布局多个业务板块，营收规模显著大于公司，且 FPGA、FPSoC 产品收入未单独披露。根据其年报，2025 年度复旦微电“FPGA 及其他产品收入”为 141,361.75 万元，占营业收入的比例为 35.50%；紫光国微特种集成电路业务（包括 FPGA 和系统级芯片产品）收入为 321,201.31 万元，占营业收入的比例为 52.26%。而公司则自 2011 年设立以来始终专注于 FPGA、FPSoC 芯片及专用 EDA 软件的研发设计与技术创新，报告期内 FPGA、FPSoC 产品收入占比近 100%，且目前尚处于成长期，需要通过持续研发投入，持续突破先进制程技术，追赶国际先进水平。上述产品应用领域与发展阶段的差异，导致报告期公司与复旦微电、紫光国微研发费用率水平不同，具有合理性。

2) 报告期内，公司研发费用率变化趋势与 A 股可比公司存在差异，主要系所处行业不同所致，具有合理性

报告期内，公司研发费用率变化趋势与 A 股可比公司存在差异，主要系与兆易创新、寒武纪、澜起科技和景嘉微存在差异。如前所述，公司与兆易创新、寒武纪、澜起科技和景嘉微的主营业务不同。报告期内，A 股可比公司未受到上述 FPGA 行业市场规模下滑和终端客户需求波动的影响，营收规模变化趋势与公司存在差异；同时，2025 年，同行业可比公司中的寒武纪、澜起科技受益于 AI

行业爆发式增长带来的算力、存储芯片需求激增，营业收入大幅提升，而 AI 行业的发展对公司 FPGA 业务的积极影响存在传导周期，其对公司收益的实质性贡献将在 2026 年及以后逐步显现，进一步放大了公司与 A 股可比公司营收变化趋势的差异。因此，报告期内公司与 A 股可比公司研发费用率变化趋势存在差异具有合理性。

(二) 结合公司现有项目及可比公司同类项目情况，说明本次募投项目新增研发支出测算是否谨慎合理，以及对公司未来经营业绩的持续影响，并充分提示相关风险

1、结合公司现有项目及可比公司同类项目情况，说明本次募投项目新增研发支出测算是否谨慎合理

(1) 公司本次募投项目新增研发支出测算情况

公司本次募投项目中新增的研发支出主要为研发人员工资、产品试制费、IP 及软件使用费和设备购置费，各项研发支出的测算依据如下：

1) 研发人员工资

公司本次募投项目中研发人员工资是根据募投项目各类型研发人员需求数量和公司相关研发人员的平均薪酬水平确定，其中，各类型研发人员需求数量是根据募投项目的整体进度安排预计各年度各类型研发人员的具体人数，相关研发人员的平均薪酬水平则参考公司 2025 年度相应研发人员的平均薪酬水平。募投项目中研发人员在项目实施第一年的平均薪酬与公司 2025 年度相应研发人员平均薪酬对比情况如下：

单位：万元

| 研发人员类型 | 2025 年度平均薪酬 | 募投项目第一年薪酬 |
|------------|-------------|-----------|
| 芯片设计人员 | 66.61 | 65.00 |
| 软件开发人员 | 60.36 | 65.00 |
| IP 及参考设计人员 | 55.64 | 50.00 |
| 产品测试人员 | 47.89 | 45.00 |

由上表可知，募投项目研发人员在项目实施第一年的平均薪酬与公司 2025 年度相应研发人员的平均薪酬不存在显著差异，公司对募投项目研发人员平均薪酬的预计符合公司研发人员实际的薪酬水平。

可比公司中，寒武纪 2025 年度向特定对象发行 A 股股票募投项目“面向大模型的芯片平台项目”建设期第一年研发人员平均薪酬为 79.96 万元，复旦微电向不特定对象发行 A 股可转换公司债券募投项目“新工艺平台存储器开发及产业化项目”建设期第一年研发人员平均薪酬为 68.13 万元，均高于公司本次募投项目研发人员建设期第一年的平均薪酬，公司对募投项目研发人员平均薪酬的预计较为谨慎。

募投项目建设期内，各岗位研发人员工资按 5% 的年增长率测算，这与公司报告期内研发人员平均薪酬的增长率相近，具体情况如下：

| 项目 | 2025 年度 | 2024 年度 | 2023 年度 |
|--------------|-----------|-----------|-----------|
| 研发人员职工薪酬（万元） | 25,266.34 | 26,453.59 | 23,757.39 |
| 研发人员人数（人） | 414 | 452 | 444 |
| 平均薪酬（万元/年） | 61.03 | 58.53 | 53.51 |
| 报告期年复合增长率 | 6.80% | | |

可比公司中，寒武纪 2025 年度向特定对象发行 A 股股票的募投项目“面向大模型的芯片平台项目”，建设期内研发人员平均薪酬按 5% 的年增长率测算；复旦微电向不特定对象发行 A 股可转换公司债券的募投项目中，建设期内研发人员平均薪酬按 10% 的年增长率测算。公司对募投项目建设期内研发人员平均薪酬年增长率测算处于合理范围之内。

综上，公司对于本次募投项目研发人员工资的测算具有谨慎性、合理性。

2) 产品试制费

产品试制费主要分为流片费用和测试加工费用，其中测试加工费用包括测试治具采购、封装加工及测试等费用。本次募投项目产品试制费系综合考虑项目拟研发芯片的工艺复杂度与规模特性等因素，参照公司现有同类型芯片研发项目的

费用水平，并结合当前行业流片、封测及配套治具采购的市场价格，对流片、测试治具规格、采购用量及封装测试加工相关投入进行合理测算。本次募投项目产品试制费具体构成已申请豁免披露。

3) IP 及软件使用费

IP 及软件使用费主要分为 IP 授权费及软件使用费，IP 授权费根据研发项目需要购买的 IP 授权和公司历史上采购类似 IP 授权的费用确定，软件使用费用根据研发项目需要购买的 EDA 软件和公司历史上采购类似 EDA 软件的费用确定。本次募投项目 IP 及软件使用费具体情况如下：

单位：万元

| 募投项目 | 序号 | 知识产权名称/软件名称 | 金额 |
|-----------------------------------|------------|-------------|----------|
| 先进工艺平台超大规模 FPGA 芯片研发项目 | 知识产权费 (IP) | | |
| | 1 | 高速接口 IP | 5,410.00 |
| | 软件使用费用 | | |
| | 1 | 软件 1 | 443.20 |
| | 2 | 软件 2 | 199.50 |
| | 3 | 软件 3 | 287.28 |
| | 4 | 软件 4 | 975.33 |
| | 5 | 软件 5 | 69.55 |
| | 6 | 软件 6 | 277.99 |
| 平面工艺平台 FPGA & FPSoC 芯片升级和产业化项目 | 知识产权费 (IP) | | |
| | 1 | 接口 IP | 1,925.00 |
| | 2 | 处理器 IP | 3,129.00 |
| | 3 | 加密 IP | 143.00 |
| | 软件使用费用 | | |
| | 1 | 软件 1 | 256.78 |
| | 2 | 软件 2 | 115.50 |
| | 3 | 软件 3 | 166.32 |
| | 4 | 软件 4 | 564.67 |
| 5 | 软件 5 | 40.27 | |
| 6 | 软件 6 | 160.94 | |

4) 设备购置

本项目拟根据开发环境和测试环境要求进行相应研发设备购置,用于开发阶段的设计验证、样片测试、可靠性筛选等。设备购置费由购置数量乘以购置单价测算得出,其中设备购置单价根据公司历史采购价格及近期市场询价情况,并结合市场波动和实际情况进行预估;购置数量主要根据公司研发经验、人员配置、研发目的以及项目后续需求等并结合募投项目实际需要确定。本次募投项目设备购置具体情况如下:

单位:万元

| 募投项目 | 序号 | 设备名称 | 数量 | 金额 |
|------------------------------|-------------|------------|--------|----------|
| 先进工艺平台超大规模FPGA芯片研发项目 | 开发设备 | | | |
| | 1 | 服务器 | 11 | 497.20 |
| | 2 | 网络交换机 | 1 | 18.65 |
| | 3 | 存储设备 | 4 | 114.13 |
| | 4 | 网络安全设备 | 1 | 67.80 |
| | 测试设备 | | | |
| | 1 | 物理层测试设备 | 9 | 2,575.27 |
| | 2 | 辅助测试设备 | 12 | 183.06 |
| | 3 | 协议层测试设备 | 3 | 1,299.50 |
| | 4 | 特性与可靠性测试设备 | 10 | 169.50 |
| 平面工艺平台FPGA & FPSoC芯片升级和产业化项目 | 开发设备 | | | |
| | 1 | 服务器 | 13 | 587.60 |
| | 2 | 网络交换机 | 15 | 25.43 |
| | 3 | 存储设备 | 13 | 370.92 |
| | 4 | 网络安全设备/软件 | 1 | 67.80 |
| | 测试设备 | | | |
| | 1 | 测试机台 | 9 | 4,090.60 |
| | 2 | 辅助测试设备 | 12 | 20.34 |
| | 3 | 特性与可靠性测试设备 | 8 | 932.25 |
| | 4 | 协议层测试设备 | 4 | 349.35 |
| 5 | 物理层测试设备 | 1 | 368.27 | |

(2) 公司本次募投项目与公司现有项目的比较情况

公司本次募投项目与公司首次公开发行股票的募投项目在资产投资、产品开发费等主要投入占比相近。具体情况如下：

单位：万元

| 本次募投项目投入情况 | | | | 首次公开发行股票募投项目投入情况 | | | |
|------------|---------------|-------------------|----------------|------------------|---------------|------------------|----------------|
| 序号 | 项目 | 投资金额 | 占比 | 序号 | 项目 | 投资金额 | 占比 |
| 1 | 资产投资 | 27,936.00 | 21.11% | 1 | 资产投资 | 9,070.25 | 13.34% |
| 1.1 | 设备购置 | 13,771.67 | 10.41% | 1.1 | 设备购置 | 2,138.10 | 3.14% |
| 1.2 | IP 及软件使用费 | 14,164.33 | 10.70% | 1.2 | IP 及软件使用费 | 6,932.15 | 10.19% |
| 2 | 产品开发费 | 98,301.88 | 74.29% | 2 | 产品开发费 | 48,858.90 | 71.85% |
| 2.1 | 研发人员工资 | 62,811.88 | 47.47% | 2.1 | 研发人员工资 | 40,386.44 | 59.39% |
| 2.2 | 产品试制费 | 35,490.00 | 26.82% | 2.2 | 产品试制费 | 8,472.46 | 12.46% |
| 3 | 其他投入 | 1,877.58 | 1.42% | 3 | 其他投入 | 1,056.07 | 1.55% |
| 4 | 铺底流动资金 | 4,213.10 | 3.18% | 4 | 铺底流动资金 | 9,014.76 | 13.26% |
| 合计 | | 132,328.56 | 100.00% | 合计 | | 68,000.00 | 100.00% |

注 1：合计数与各部分数直接相加之和在尾数存在的差异系由四舍五入造成。

注 2：前次募投项目投入情况只包含“新一代现场可编程阵列芯片研发及产业化项目”和“现场可编程系统级芯片研发项目”两个项目的投入，不包含“发展与科技储备资金”项目，各项目的投资金额为内部投资结构调整之后的投资金额。

本次募投项目与公司首次公开发行股票募投项目各部分的投入占比较为相近，但投资规模高于前募项目，主要原因为本次募投项目聚焦超大规模 FPGA 芯片研发以及公司现有 FPGA、FPSoC 系列芯片的升级优化，较前募项目的研发任务量更大，研发技术要求、研发难度及复杂程度也更高。本次募投项目与首次公开发行股票募投项目在部分明细支出占比上存在小幅差异，具体如下：

在资产投资方面，本次募投项目设备购置金额和比例较前募项目明显增加，主要原因为：（1）本次募投项目研发产品性能增强，需要新增购置的设备数量较前次募投项目有所增加，设备规格和单价也有所提升；（2）本次募投项目拟购置更高性能的测试平台以增加测试并行度，提升测试质量，降低单位芯片测试成本。

在产品开发费方面，本次募投项目人员工资支出占比低于前募项目，但投入金额显著高于前募项目，主要原因为本次募投项目研发难度更高，需要调用的公司研发人员数量更多，同时研发人员的平均薪酬水平也较前募项目有所上升。本次募投项目产品试制费占比高于前募项目，主要原因为本次募投项目拟开发超大规模 FPGA 芯片并进行现有 FPGA 和 FPSoC 系列芯片的升级优化，产品制程和性能均较前募项目显著提升，对于产品试制和验证要求较高，产品试制成本相应提升。

在铺底流动资金方面，本次募投项目中“平面工艺平台 FPGA & FPSoC 芯片升级和产业化项目”系对公司现有 FPGA、FPSoC 系列芯片进行升级优化，可依托公司现有资源进行产业化落地，运营期所需流动资金相对较少，因此本次募投项目铺底流动资金占比相对较低。

(3) 公司本次募投项目与可比公司同类项目的比较情况

1) 先进工艺平台超大规模 FPGA 芯片研发项目

该募投项目与可比公司寒武纪 2025 年度向特定对象发行 A 股股票募投项目“面向大模型的芯片平台项目”具有一定的可比性，两个项目各类投入情况对比如下：

单位：万元

| 先进工艺平台超大规模 FPGA 芯片研发项目 | | | | 面向大模型的芯片平台项目 | | | |
|------------------------|--------------|------------------|----------------|--------------|--------------|-------------------|----------------|
| 序号 | 项目 | 投资金额 | 占比 | 序号 | 项目 | 投资金额 | 占比 |
| 1 | 资产投资 | 14,621.96 | 19.89% | 1 | 资产投资 | 42,170.25 | 14.54% |
| 1.1 | 设备购置 | 6,959.11 | 9.47% | 1.1 | 设备购置 | 2,065.00 | 0.71% |
| 1.2 | IP 及软件使用费 | 7,662.85 | 10.42% | 1.2 | IP 及软件使用费 | 40,105.25 | 13.83% |
| 2 | 产品开发费 | 57,978.63 | 78.86% | 2 | 产品开发费 | 226,464.16 | 78.09% |
| 2.1 | 研发人员工资 | 32,608.63 | 44.35% | 2.1 | 研发人员工资 | 153,964.16 | 53.09% |
| 2.2 | 产品试制费 | 25,370.00 | 34.51% | 2.2 | 产品试制费 | 72,500.00 | 25.00% |
| 3 | 其他投入 | 922.32 | 1.25% | 3 | 其他投入 | 21,365.59 | 7.37% |
| 合计 | | 73,522.90 | 100.00% | 合计 | | 290,000.00 | 100.00% |

注：合计数与各部分数直接相加之和在尾数存在的差异系由四舍五入造成。

如上表所示，公司“先进工艺平台超大规模 FPGA 芯片研发项目”与寒武纪同类项目各项支出占比整体较为相似，在部分支出占比上存在小幅差异。其中，公司本次募投项目设备支出占比高于可比公司同类项目，主要原因为募投项目的研发产品性能增强，对开发设备与测试设备的要求有所提高，导致新增设备购置需求较多，而可比公司同类项目可充分复用公司已购置的硬件设备，新增设备购置需求较少；公司本次募投项目研发人员工资占比低于可比公司同类项目，主要原因为可比公司对应项目的研发投入规模大于公司募投项目，调用的研发人员数量高于公司募投项目且研发人员的平均薪酬水平也较高；公司本次募投项目产品试制费用占比高于可比公司同类项目，主要原因为公司募投项目研发产品与可比公司存在差异，拟研发芯片的制程、流片工艺、封装方式以及测试验证的材料用量和测试的复杂性均会对项目产品试制费用产生影响，不同芯片设计公司在进行产品研发过程中，会根据自身的研发经验和项目的实际需求确定流片与封装测试的具体金额，存在一定差异。

2) 平面工艺平台 FPGA & FPSoC 芯片升级和产业化项目

该募投项目与可比公司复旦微电向不特定对象发行 A 股可转换公司债券募投项目“新工艺平台存储器开发及产业化项目”具有一定的可比性，两个项目各类投入情况对比如下：

单位：万元

| 平面工艺平台 FPGA & FPSoC 芯片升级和产业化项目 | | | | 新工艺平台存储器开发及产业化项目 | | | |
|--------------------------------|---------------|------------------|----------------|------------------|---------------|------------------|----------------|
| 序号 | 项目 | 投资金额 | 占比 | 序号 | 项目 | 投资金额 | 占比 |
| 1 | 资产投资 | 13,314.05 | 22.64% | 1 | 资产投资 | 5,716.65 | 12.88% |
| 1.1 | 设备购置 | 6,812.56 | 11.58% | 1.1 | 设备购置 | 2,287.10 | 5.15% |
| 1.2 | IP 及软件使用费 | 6,501.48 | 11.06% | 1.2 | IP 及软件使用费 | 3,429.55 | 7.73% |
| 2 | 产品开发费 | 40,323.25 | 68.57% | 2 | 产品开发费 | 34,665.60 | 78.11% |
| 2.1 | 研发人员工资 | 30,203.25 | 51.36% | 2.1 | 研发人员工资 | 21,892.10 | 49.33% |
| 2.2 | 产品试制费 | 10,120.00 | 17.21% | 2.2 | 产品试制费 | 12,773.50 | 28.78% |
| 3 | 其他投入 | 955.26 | 1.62% | 3 | 其他投入 | 1,497.75 | 3.37% |
| 4 | 铺底流动资金 | 4,213.10 | 7.16% | 4 | 铺底流动资金 | 2,500.00 | 5.63% |
| 合计 | | 58,805.66 | 100.00% | 合计 | | 44,380.00 | 100.00% |

注：合计数与各部分数直接相加之和在尾数存在的差异系由四舍五入造成。

如上表所示，公司“平面工艺平台 FPGA & FPSoC 芯片升级和产业化项目”与复旦微电同类项目各项支出占比整体较为相似，在部分支出占比上存在小幅差异。其中，公司本次募投项目设备支出占比高于可比公司同类项目，主要原因为募投项目对拟购置更高性能的测试平台以增加测试并行度，提升测试质量，降低单位芯片测试成本，新增设备购置需求较多；公司本次募投项目产品试制费用占比低于可比公司同类项目，主要原因为公司募投项目研发产品与可比公司存在差异，拟研发芯片的制程、流片工艺、封装方式以及测试验证的材料用量和测试的复杂性均会对项目产品试制费用产生影响，不同芯片设计公司在进行产品研发过程中，会根据自身的研发经验和项目的实际需求确定流片与封装测试的具体金额，存在一定差异。

综上所述，公司对本次募投项目新增研发支出均进行了严谨的测算，与公司现有项目及可比公司同类项目整体投入比例相似，本次募投项目新增研发支出测算具备谨慎性、合理性。

2、本次募投项目新增研发支出对公司未来经营业绩的持续影响，并充分提示相关风险

公司本次募集项目“先进工艺平台超大规模 FPGA 芯片研发项目”和“平面工艺平台 FPGA & FPSoC 芯片升级和产业化项目”建设期均为 3 年，“平面工艺平台 FPGA & FPSoC 芯片升级和产业化项目”计算期(含建设期)为 10 年。计算期内，两募投项目实施新增研发费用对公司经营业绩的主要影响预测如下：

单位：万元

| 测算 | T | T+1 | T+2 | T+3 | T+4 |
|------------------------------------|-------------------|-------------------|-------------------|---------------|------------------|
| 平面工艺平台 FPGA & FPSoC 芯片升级和产业化项目营业收入 | - | 3,650.00 | 9,807.50 | 23,937.63 | 50,537.74 |
| 两项目研发费用合计 | 27,123.56 | 39,434.80 | 45,869.99 | 5,158.60 | 3,263.60 |
| 研发费用占比 | - | 1080.41% | 467.70% | 21.55% | 6.46% |
| 两项目净利润合计 | -27,974.30 | -38,840.94 | -43,189.25 | 910.25 | 12,076.04 |
| 测算 | T+5 | T+6 | T+7 | T+8 | T+9 |
| 平面工艺平台 FPGA & FPSoC 芯片升级和产业化项 | 66,253.65 | 78,085.43 | 76,525.01 | 68,872.51 | 61,985.25 |

| 测算 | T | T+1 | T+2 | T+3 | T+4 |
|-----------------|------------------|------------------|------------------|------------------|------------------|
| 目营业收入 | | | | | |
| 两项目研发费用合计 | 2,124.35 | 1,318.68 | 359.94 | - | - |
| 研发费用占比 | 3.21% | 1.69% | 0.47% | - | - |
| 两项目净利润合计 | 18,896.62 | 24,085.19 | 24,332.91 | 22,027.53 | 19,638.27 |

注：研发费用仅考虑使用募集资金投入部分，与拟投入募集资金总额的差异为增值税。

由上表可知，计算期初期（T-T+2）由于营业收入尚未完全体现，研发费用较高，导致募投项目预计净利润为负值，在项目投入初期，公司需要承担一定的成本压力。其后随着募投项目推进和客户导入，预计营业收入显著增加，研发费用占营业收入的比例显著降低，净利润由负转正，并呈现快速增长趋势，公司开始获得投资效益，生产经营状况得到显著改善。

截至 2025 年末，公司存量在研芯片产业化项目整体研发进度已接近尾声，尚处在开发阶段中的项目主要系新工艺设计平台、高效率芯片升级等的基础技术研究，2026 至 2028 年，上述在研项目均逐步退出主力研发序列。本次募投项目是公司未来三年主要研发方向，本次募投项目实施后所产生的新增研发费用为公司未来主要的研发投入。2026 年至 2028 年，公司募投项目研发费用和其他项目研发费用投入预算具体如下：

单位：万元

| 研发费用投入预算 | 2026 年度 | 2027 年度 | 2028 年度 |
|---------------------|------------------|------------------|------------------|
| 募投项目合计 | 18,195.56 | 34,471.16 | 42,014.12 |
| 2025 年末在研项目 | 11,925.00 | 200.00 | - |
| 其他立项及拟立项非募投研发项目 | 7,500.00 | 7,800.00 | 1,500.00 |
| 合计 | 37,620.56 | 42,471.16 | 43,514.12 |
| 募投项目新增研发费用占比 | 48.37% | 81.16% | 96.55% |

注：公司先进工艺平台超大规模 FPGA 芯片研发项目拟于 2026 年 6 月启动，平面工艺平台项目已于 2026 年 2 月启动，上表中各年度募投项目研发费用为粗略认为募投项目建设期 T、T+1、T+2 内月均研发费用相等，按每年度对应建设期费用总金额及投入月份进行测算。

如上表所示，随着募投项目的开展，募投项目研发投入占比逐年稳步提升，未来三年绝大多数研发预算围绕募投项目开展。同时，2026年至2028年公司整体研发费用复合增长率为7.55%，平均研发费用为41,201.95万元，与公司报告期内年平均研发费用36,420.29万元相比增长13.13%，未来三年整体研发投入较为合理。

公司募投项目的实施将进一步提升公司的技术实力、丰富公司产品矩阵、巩固公司竞争优势，有利于公司可持续发展。伴随下游需求复苏，公司营业收入连续四个季度实现环比增长，2026年第一季度营业收入同比上升77.46%，归属于上市公司股东的净利润亏损同比收窄32.43%，公司现有业务经营情况稳中向好。

综上，募投项目建设期研发投入较高，营业收入尚未完全体现，导致募投项目预计净利润为负值，公司需要承担一定的成本压力，其后随着募投项目推进和客户导入，预计营业收入显著增加，研发费用占营业收入的比例显著降低，净利润由负转正，并呈现快速增长趋势，公司开始获得投资效益，生产经营状况得到显著改善。基于公司的研发投入规划及现有业务的发展情况，预计本次募投项目的实施不会对公司持续经营能力产生重大负面影响。

发行人已于《募集说明书》“重大事项提示”之“二、特别风险提示”和“第六章 与本次发行相关的风险因素”就本次募投项目的实施对公司未来经营业绩的持续影响相关风险补充披露如下：

“（六）/（五）募投项目新增研发费用的风险

公司本次募集项目的实施将新增研发人员薪酬、资产折旧摊销费用、产品试制费等研发开支，将对发行人经营业绩构成一定影响。在本次募投项目建设期（T至T+2），预计新增研发费用分别为27,123.56万元、39,434.80万元及45,869.99万元，由于营业收入尚未完全体现，研发费用较高，导致募投项目预计净利润为负值，公司需要承担一定的成本压力。建设期结束后（T+3及其之后），随着募投项目推进和客户导入，预计营业收入增加，研发费用占营业收入的比例降低，募投项目净利润由负转正，公司开始获得投资效益，生产经营状况得到改善。由于募投项目的建设需要一定的周期，若本次募投项目建设过程中公司经营环境发生重大不利变化或者募投项目经济效益不及预期，则新增研发费

用可能对公司未来经营业绩产生不利影响。”

（三）结合公司部分产品换货的原因、后续处理和实际销售情况以及是否存在亏损合同的情形，说明公司存货跌价准备计提的充分性，并进一步提示相关风险

1、公司部分产品换货的原因、后续处理

（1）换货原因

2024年至2025年，部分PHOENIX系列型号产品出现换货情况。换货原因主要系终端客户反馈相关型号产品不良率偏高，经过公司自查后，发现系供应商相关型号部分生产批次产品的生产工艺存在偏差，导致相关生产批次产品失效率偏高。为规避潜在质量风险以及维护客户关系，经与客户协商后，公司主动召回已销售给客户且尚未使用的相关型号全部产品（不区分是否属于问题批次），并向客户重新发出同一型号的全新合格产品，换回产品和重新发出的产品型号、数量均一致。截至2025年末，针对上述换货事件，公司已完成全部换回及重新发出工作。具体而言，客户2024年换回相关型号产品19.08万颗、2025年换回10.53万颗，合计换回29.62万颗。具体如下：

单位：万颗

| 项目 | 2025年换回产品数量 | 2024年换回产品数量 |
|------------|-------------|-------------|
| 上述换货事件涉及产品 | 10.53 | 19.08 |

（2）产品处理方式

召回的产品换回后，公司针对生产工艺偏差增加检测拦截，对换回产品进行复测，复测由测试厂进行，通过复测的换回产品与正常品的性能、技术指标、使用寿命不存在差异，再经烘烤、抽真空、重新包装等工序后，重新入库作为正常品对外销售；测试不良的换回产品报废处理。同时公司的生产供应商针对工艺偏差加强了质量管理，保证了后续产品的良率稳定性。

对于通过复测的换回产品，由于其此前未被客户使用，且不存在涉及失效的特定情形，又经烘烤、抽真空、重新包装等工序，其与正常品的性能、技术指标、使用寿命不存在差异。因此，对通过复测的换回产品，公司按照完成烘烤、抽真空、重新包装等工序的时点确定产品保质期（shelf time），并以完成烘烤、抽真空、重新包装等工序再次入库时点计算库龄。

公司上述处理方式与行业惯例一致，具体而言，境外可比公司、国际领先FPGA厂商Lattice（莱迪思半导体）曾于2010年发布官方技术规范文档（Product Bulletin），其中明确指出干燥袋密封日期是判断产品保质期（shelf time）的唯一可靠指标，同时其每年对所有干燥包装库存（Dry Packed Inventories）进行强制审查，审查时打开防潮袋，检查是否产品存在受潮迹象，若产品存在受潮迹象，将先对产品进行引脚可焊性测试，再进行烘烤、重新干燥包装，对于所有重新包装完成的产品，均在防潮袋上标注新的干燥袋密封日期，并且重新计算产品保质期（shelf time）。

（3）财务处理方式

针对上述产品换货，当公司收到客户换回产品时，在当期冲减历史确认的主营业务收入，同时，将换回的产品重新确认为公司存货，并冲减主营业务成本。具体的会计分录为：

借：主营业务收入

贷：应收账款

借：库存商品

贷：主营业务成本

当公司向客户重新发出替换的全新合格产品时，在当期重新确认主营业务收入，重新确认的主营业务收入金额与换回产品时冲减的主营业务收入金额一致；同时，以该批重新出库产品的实际账面成本结转当期主营业务成本。具体的会计分录为：

借：应收账款

贷：主营业务收入

借：主营业务成本

贷：库存商品

报告期内，上述换货事件中，公司各次收到换回产品及重新发出均发生在同一会计期间内，不存在跨期的情形。公司因换回产品而冲减的主营业务收入金额，与重新发出全新合格产品所确认的主营业务收入金额完全一致，该事项未对公司报告期各期的营业收入总额产生任何实质性影响，公司不存在通过换货跨期调节收入的情形。

2025 年末，鉴于上述产品因曾发生大额换货而可能存在除库龄因素以外的其他风险，按照公司会计政策，库龄组合下计提存货跌价准备相对不充分，公司综合考虑上述换货事件涉及产品的市场需求、销售前景、2025 年度存货周转不佳等因素，对 2025 年期末上述换货事件涉及型号全部存货（包括换货退回的部分及未销售的在库部分）单项计提跌价准备，相关型号存货合计账面余额 9,930.02 万元，单项计提存货跌价准备 5,045.13 万元，占期末相关型号存货账面余额的比例为 50.81%。

2、换回产品的实际销售情况以及是否存在亏损合同的情形

（1）换回产品的实际销售情况

上述换货事件换回产品数量 29.62 万颗。截至 2026 年 3 月末，换回产品实现二次销售数量为 0.01 万颗，数量较少，主要原因系相关产品属于中高端通用 FPGA 产品，逻辑单元规模较大，单价较高，下游潜在客户对其的测试验证周期较长，需依次完成同类芯片实测对比、验证板测试、可靠性验证及小批量试产等多个环节；同时此类产品一般仅在下游客户开发、研制新一代产品时才会产生大规模需求。

上述换货事件换回产品均为公司标准化通用产品，未针对任何特定客户进行定制化开发，具备广泛的市场适用性，可应用于网络通信、工业应用等多个下游领域。公司正持续积极进行市场导入工作，依托前期积累的客户资源、品牌声誉及销售团队，积极拓展不同应用领域的潜在客户。截至 2026 年 3 月末，部分换回的产品已获得工业应用等领域客户的采购意向，其中工业应用领域，公司与相关领域某头部设计企业客户签订了战略合作协议，公司负责提供具有竞争力的 FPGA 芯片产品、IP、EDA 软件工具和技术支持配套服务，该客户提供算法开发能力，将完整解决方案形成以 FPGA 芯片为基础的板卡形式提供给终端客户。双方针对上述换货事件相关型号产品展开技术合作，面向国内头部终端客户提供技术方案，已同时与终端客户开展商务洽谈。根据保荐机构、申报会计师对某客户的访谈了解，若相关产品后续顺利通过客户验证并实现销售合同签署，且市场需求、客户订单释放等符合预期，公司预计相关产品有望于 2026 年下半年逐步实现批量出货；在相关条件均按预期推进的情况下，预计出货量可能达到约 30 万颗。具体出货节奏及出货规模仍存在不确定性。

(2) 报告期内，上述换货事件涉及的相关型号产品不存在亏损合同

上述换货事件未违反公司与相关经销商、终端客户之间签署的销售合同、销售订单及质量协议，公司无需向相关经销商、终端客户支付任何额外赔偿。公司与相关经销商、终端客户之间就本次产品召回事件不存在任何争议、纠纷、诉讼或仲裁，本次产品召回事件不影响公司与相关经销商、终端客户之间业务的稳定性，截至本回复出具日，公司与相关经销商、终端客户均保持正常业务往来。

根据《企业会计准则第 13 号——或有事项》的相关规定，亏损合同是指履行合同义务不可避免会发生的成本超过预期经济利益的合同；待执行合同变为亏损合同且相关义务满足预计负债确认条件时，应当确认为预计负债。针对上述换货事件涉及型号全部存货（包括换货退回的部分及未销售的在库部分），报告期末不存在不可避免会发生的成本高于预期可取得的经济利益的情形，因此不存在亏损合同。

综上，公司针对本次换货事件不存在潜在赔偿义务，亦不存在亏损合同，因此无需计提相关的预计负债。同时，公司已按照存货跌价准备计提政策和会计准则，对上述换货事件涉及的存货进行了减值测试并足额计提了存货跌价准备。

3、说明公司存货跌价准备计提的充分性

2025 年末，针对上述换货事件，公司单项计提存货跌价准备 5,045.13 万元，占期末上述换货事件涉及型号全部存货（包括换货退回的部分及未销售的在库部分）的比例为 50.81%，具有充分性，不存在通过存货跌价准备调节利润的情形，主要体现在：

（1）公司对上述换货事件涉及型号全部存货的期末可变现净值进行了两层测算，测算方法严谨、合理

依据公司存货跌价准备计提政策，公司对上述换货事件涉及型号全部存货的期末可变现净值进行了两层测算，具体方法如下：

1) 第一层：按照库龄和估计售价测算上述存货期末可变现净值，并进行交叉复核

根据《企业会计准则第 1 号——存货》的相关规定，资产负债表日，存货应当按照成本与可变现净值孰低计量。在确定可变现净值时，公司以日常活动中的估计售价为基础，扣除估计的销售费用和相关税费后的金额予以确定。其中，为执行销售合同而持有的存货，其可变现净值以合同价格为基础计算；若持有存货的数量多于销售合同订购数量，超出部分的可变现净值则以一般市场销售价格为基础计算。当可变现净值低于账面成本时，公司按差额计提存货跌价准备。

同时，公司在测算可变现净值时，不仅考量常规的市场售价因素，还充分结合了存货库龄及历史实际流转情况，并参考同行业可比公司情况，制定了更为审慎的存货跌价准备计提政策：对于库龄在 1 年以内的产成品，一般不计提存货跌价准备；对于库龄在 1-2 年的产成品，若当期存在实际销售出库记录，表明其滞销风险较小，公司不计提存货跌价准备；若当期未发生销售出库，则认为其存在减值迹象，计提 50% 存货跌价准备；对于库龄超过 2 年的产成品，计提 100% 存货跌价准备。

在具体的会计处理中，公司将上述两种测算方式得到的结果进行交叉验证，即分别计算基于“估计售价减去相关税、费”得出的期末可变现净值，以及基于“库龄”推算出的期末可变现净值。最终，公司按照两者孰低的原则确定该批产成品的期末可变现净值，以确保存货跌价准备计提的充分性及合理性。

2) 第二层：针对特殊情形，依据销售预期测算上述换货事件涉及型号全部存货期末可变现净值

鉴于上述换货事件涉及型号产品因曾发生大额换货而可能存在除库龄因素以外的其他风险，按照公司会计政策，库龄组合下计提存货跌价准备相对不充分，公司综合考虑其市场需求、销售前景、2025 年度存货周转不佳等因素，依照期后销售预期对相关存货重新计算其期末可变现净值。

鉴于第二层测算的期末可变现净值结果低于第一层，公司按照两者孰低的原则，将依照期后销售预期对相关存货重新计算的结果作为其期末可变现净值，并对上述换货事件涉及型号全部存货（包括换货退回的部分及未销售的在库部分）单项计提存货跌价准备。

(2) 本次单项计提存货跌价准备相关计提时点准确、计提范围充分、计提比例合理

1) 本次单项计提存货跌价准备计提时点准确

公司于 2025 年末进行单项计提存货跌价准备，未于 2024 年进行单项计提，主要原因系公司综合考虑市场需求、销售前景等因素，依据 2024 年相关型号产品的销售情况（发生本次换货事件前共销售 6.30 万颗）以及 2025 年的潜在换货需求评估，认为相关型号产品与其他存货无显著差异，因此使用第一层测算方式测算期末可变现净值计提存货跌价准备。2025 年，根据公司与客户的商业沟通，最终未使用前期换回并复测后的相关产品进行换货，2025 年末，经公司评估，相关型号产品的市场需求、销售前景、当年度存货周转不佳，因此进一步采用第二层测算方式测算期末可变现净值，且第二层测算结果低于基于第一层测算所得期末可变现净值，进而单项计提存货跌价准备。

2) 本次单项计提存货跌价准备计提范围充分

本次单项计提存货跌价准备的范围系上述换货事件涉及型号全部存货（包括换货退回的部分及未销售的在库部分），合计账面余额 9,930.02 万元，账面数量 38.88 万颗，其中换回产品数量 29.62 万颗。

公司考虑通过复测的换回产品与正常品的性能、技术指标、使用寿命不存在差异，因此其与正常品的市场需求、销售前景亦不存在差异，因此未仅针对换回产品单项计提存货跌价准备，而是对涉及型号全部存货（包括换货退回的部分及未销售的在库部分）单项计提存货跌价准备。

3) 本次单项计提存货跌价准备计提比例合理

本次单项计提存货跌价准备 5,045.13 万元，计提比例为 50.81%。具体计算方法为：考虑到 2025 年，对于存在客户采购意向的相关型号存货单项计提 50% 存货跌价准备，对于暂未获取客户采购意向的相关型号存货单项计提 100% 存货跌价准备。其中，对存在客户采购意向的相关型号存货单项计提 50% 存货跌价准备的原因系：根据保荐机构、申报会计师对某工业应用头部设计企业客户的访谈了解，若相关型号产品通过客户验证、正式签订销售合同且销售情况达到预期，预计 2026 年下半年可形成规模出货，出货量约 30 万颗，结合 2025 年末上述换货事件涉及型号全部存货账面数量为 38.88 万颗，2026 年预计出货量占 2025 年末库存数量覆盖比例约为 77%。基于综合评估，公司保守预计 2026 年出货量占 2025 年末库存数量覆盖比例可达 50%，因此对存在客户采购意向的相关型号存货单项计提 50% 存货跌价准备。

基于上述方法，根据存货可变现净值与账面成本孰低原则，公司对单项计提 50% 存货跌价准备的存货计提 4,884.89 万元，单项计提 100% 存货跌价准备的存货计提 160.24 万元，合计单项计提存货跌价准备 5,045.13 万元。

(3) 单项计提存货跌价准备金额高于库龄组合下计提金额，计提金额充分

根据公司存货跌价准备计提政策，若按照第一层库龄组合法测算其期末可变现净值，上述换货事件涉及型号全部存货需计提存货跌价准备 2,586.26 万元，计提比例 26.04%，具体如下：

单位：万元

| 项目 | 2025 年 12 月 31 日 | | | | | |
|------------|------------------|------|----------|------|----------|----------|
| | 1 年以内 | | 1-2 年 | | 2 年以上 | |
| | 账面余额 | 跌价准备 | 账面余额 | 跌价准备 | 账面余额 | 跌价准备 |
| 上述换货事件涉及型号 | 3,600.97 | - | 3,742.78 | - | 2,586.26 | 2,586.26 |

而公司本次单项计提存货跌价准备金额为5,045.13万元,计提比例为50.81%,按照库龄分布情况具体如下:

单位:万元

| 项目 | 2025年12月31日 | | | | | |
|------------|-------------|----------|----------|----------|----------|----------|
| | 1年以内 | | 1-2年 | | 2年以上 | |
| | 账面余额 | 跌价准备 | 账面余额 | 跌价准备 | 账面余额 | 跌价准备 |
| 上述换货事件涉及型号 | 3,600.97 | 1,800.49 | 3,742.78 | 1,871.39 | 2,586.26 | 1,373.25 |

对比可知,单项计提存货跌价准备金额高于库龄组合下计提金额,计提金额充分。

(4) 上述换货事件涉及型号产品系通用 FPGA 产品,应用场景广阔,客户群体广阔

公司上述换货事件涉及换回的 PHOENIX 系列型号产品为标准化通用产品,未针对任何特定客户进行定制化开发,具备广泛的市场适用性,可应用于网络通信、工业应用等多个下游领域。该类 FPGA 芯片通常在性能、带宽及成本之间实现较好的平衡,因此具备网络通信、数据中心及智能计算、工业控制等领域的广泛应用需求,伴随下游通信行业景气度上行、人工智能应用逐步拓展,此类 FPGA 产品库存消化具有较强的市场环境基础。同时,该型号产品采用 28nm 制程工艺,对标国际龙头 FPGA 公司 Xilinx(赛灵思)的第 7 代(7 Series)FPGA 系列。Xilinx(赛灵思)第 7 代 FPGA 于 2012 年推出,采用 28nm 制程工艺,是 Xilinx(赛灵思)具有最高性价比、经过 15 年时间充分验证了价值的产品,在国内具有最广泛的客户群体。根据智研咨询报告,2025 年中国 FPGA 产品市场规模按制程工艺分,其中 28nm 制程工艺占比为 55%,为最大的细分市场。

截至 2026 年 3 月末,经过公司持续积极的市场导入,部分换回的产品已获得下游领域客户的采购意向,相关合作事宜正在有序推进中,若产品通过客户验证并正式签订销售合同,预计 2026 年度可形成规模出货。公司将持续跟踪换回产品二次销售进展,若换回产品出现销售情况不及预期等情形导致可变现净值出现进一步下降,则公司存货存在进一步计提存货跌价准备。

(5) 公司报告期各期末库龄 2 年以上产成品期后销售情况正常

首先,报告期内,公司各期末库龄 2 年以上产成品可实现稳定的期后销售,具体如下:

单位:万颗

| 年度 | 2 年以上产成品数量 | 期后销售数量 | 期后销售比例 |
|---------|------------|--------|--------|
| 2025 年末 | 300.45 | 95.69 | 31.85% |
| 2024 年末 | 320.47 | 152.51 | 47.59% |
| 2023 年末 | 169.55 | 66.86 | 39.44% |

注:2023 年末及 2024 年末期后销售数量统计至期后 1 年,2025 年末期后销售数量统计至 2026 年 3 月末。

其次,报告期内,各期末库龄 2 年以上产成品销售毛利率处于正常水平。首先,基于公司存货跌价准备计提政策,公司对各期末库龄 2 年以上产成品全额计提存货跌价准备,因此该类产成品期后销售时结转的存货账面价值为零,对应销售毛利率均为 100%。若剔除存货跌价准备转销对毛利率的影响,报告期各期,期末库龄 2 年以上产成品的销售毛利率分别为 30.39%、23.84%和 16.52%。

4、公司已进一步提示相关风险

发行人已于《募集说明书》“重大事项提示”之“二、特别风险提示”和“第六章 与本次发行相关的风险因素”就相关风险披露如下:

“ (九) / (五) 大额换货导致单项计提存货跌价准备风险

2024 年至 2025 年,部分 PHOENIX 系列型号产品因供应商生产工艺存在偏差导致发生换货。2025 年末,针对上述换货事件涉及型号产品的全部账面存货(包括换货退回的部分及未销售的在库部分),公司单项计提存货跌价准备 5,045.13 万元,占期末相关型号存货账面余额的比例为 50.81%。换回产品均为通用产品,通过复测后与正常产品不存在差异。但若换回产品出现销售情况不及预期等情形导致可变现净值出现进一步下降,则公司存货存在进一步计提存货跌价准备的风险。”

二、申报会计师核查意见

（一）核查程序

申报会计师执行的核查程序包括但不限于：

1、获取发行人报告期内的研发费用明细表、收入成本明细表，分析报告期内发行人研发费用金额及占比较高的原因；

2、核查报告期主要研发项目研发内容、所处阶段、已形成的研发成果和收入成本明细表，分析报告期发行人研发成果转化收入、毛利情况；

3、获取发行人历史期间的收入成本明细表、研发项目资料，分析发行人典型产品发展历程；

4、查阅境外和 A 股可比公司的定期报告、财务报表/审计报告，分析发行人研发费用金额及比率变动情况与同行业可比公司相比是否存在重大差异；

5、查阅 FPGA 行业典型产品案例，分析 FPGA 产品研发周期、客户导入期和生命周期特点；

6、通过访谈发行人管理层、查阅前次募集资金投资项目、本次募集资金投资项目的可行性研究报告，查阅可比公司同类项目的信息披露文件，了解本次募投项目的投资测算情况、与公司现有项目及可比公司同类项目比较情况、新增研发投入及预期收入情况、公司未来三年非募投项目的研发投入预算，分析本次募投项目新增研发支出测算的谨慎性和合理性、新增研发支出对公司未来经营业绩的持续影响；

7、获取发行人报告期内的退换货明细；访谈公司管理层相关人员，了解退换货的背景及原因、会计处理方式、实际销售和亏损合同情况等；

8、针对相关退换货产品未来潜在客户开展专项访谈，现场查看样机，了解了双方的合作进展和相关产品的潜在销量；

9、了解发行人针对存货跌价准备相关的内控制度的设计合理性与执行有效性；

10、对发行人的存货实施监盘，检查存货的数量及状况，并对库龄较长的存货进行检查；

11、对于按照组合计提跌价的存货，复核发行人对于存货组合的设定。获取期末存货库龄清单，对以库龄组合为基础计提存货跌价准备的存货，评估发行人对库龄组合的划分及各库龄组合的存货跌价准备计提比例，复核各存货库龄等关键信息；

12、获取发行人确定存货可变现净值的估计售价、相关税费等数据，分析发行人在确定存货可变现净值时做出的判断是否合理；

13、查阅报告期内发行人存货明细、收入成本明细，分析发行人两年以上存货的期后销售情况；

14、查阅同行业可比公司案例，了解同行业可比公司对产品保质期(shelf time)的规定。

(二) 核查意见

经核查，申报会计师认为：

1、公司关于报告期内研发费用金额及占比较高的原因及形成的主要研发成果的相关说明与我们在核查过程中了解的情况在所有重大方面不存在重大差异；公司关于研发成果转化收入、利润情况，是否与同行业可比公司存在重大差异的说明与我们在核查过程中了解的情况在所有重大方面不存在重大差异；

2、结合公司现有项目及可比公司同类项目情况，公司关于本次募投项目新增研发支出测算是否谨慎合理，以及对公司未来经营业绩的持续影响的说明与我们在核查过程中了解的情况在所有重大方面不存在重大差异；公司已就本次募投项目的实施对公司未来经营业绩的持续影响进行充分风险提示；

3、公司关于部分产品换货的原因、后续处理和实际销售情况以及是否存在亏损合同的情形的说明与我们在核查过程中了解的情况在所有重大方面不存在重大差异；公司关于存货跌价准备计提的充分性的说明与我们在核查过程中了解的情况在所有重大方面不存在重大差异。

（以下无正文）

(本页无正文，为《立信会计师事务所（特殊普通合伙）关于上海安路信息科技股份有限公司向特定对象发行股票申请文件的审核中心意见落实函的回复》之签字盖章页)



中国注册会计师：

乔琪



中国注册会计师：

缪环宇



中国·上海

二〇二六年六月十六日